

明 細 書

複合型電子部品

技術分野

[0001] 本発明は多層配線基板上に実装部品を実装した複合型電子部品に関する。

背景技術

[0002] 図4は従来の複合型電子部品を模式的に示す断面図である。この複合型電子部品には、多層配線基板(以下、基板)1上に制御電圧を必要とする半導体素子のような実装部品(以下、部品)3が搭載されている。基板1の表面には電源端子電極(以下、電極)2が設けられ、電極2に接続されるよう部品3が実装されている。

[0003] このような複合型電子部品では、部品3に対して同期制御する複数の制御電圧を印加する場合がある。このような場合、基板1の下面に設けられた外部接続用の電源端子4を基板1の内部で分岐させ引き回すことにより複合型電子部品の制御が簡素化されている。このような複合型電子部品は例えば、特表平5-500136号公報に開示されている。

[0004] 近年、携帯電話やワイヤレスLANに用いられる機器などの小型無線通信機器における小型化要望が強まっている。この要望に応えるためには複合型電子部品を小型化する必要がある。そのためには基板1上に多くの制御を必要とする部品3を搭載する必要がある。しかしながら、基板1内における電源経路の引き回し部分5は、基板1内に設けられる他の回路電極6に対して高周波的に不要な結合を引き起こす要素となる。そのため、電極間隔を大きく設定する必要性が生じるため、複合型電子部品の小型化は困難である。

発明の開示

[0005] 本発明の複合型電子部品は、多層配線基板と、第1電源端子電極と第2電源端子電極と、外部接続用電源電極と、実装部品と、絶縁体と、電源パターンとを有する。第1電源端子電極と第2電源端子電極とは、多層配線基板の第1面に設けられている。外部接続用電源電極は、多層配線基板の第1面に対向する第2面に設けられるとともに第1電源端子電極に接続されている。実装部品は、多層配線基板の第1

BEST AVAILABLE COPY

面に実装されるとともに第1電源端子電極と第2電源端子電極とに、その第1面にて接続されている。絶縁体は、少なくとも実装部品の第1面に対向する第2面と第1電源端子電極と第2電源端子電極とを、その第1面にて覆っている。電源パターンは、絶縁体の第1面と対向する第2面に設けられ、第1電源端子電極と第2電源端子電極とに接続されている。この構成によれば、外部接続用電源端子と第1電源端子電極とを結ぶ経路から分岐された電源経路である電源パターンが、多層配線基板の外部にある。そのため多層配線基板内での不要な結合が抑制され、複合型電子部品の小型化が可能になる。

図面の簡単な説明

[0006] [図1]図1は本発明の実施の形態における複合型電子部品を模式的に示す断面図である。

[図2A]図2Aは図1に示す複合型電子部品の製造方法を示す断面図である。

[図2B]図2Bは図2Aに続き、図1に示す複合型電子部品の製造方法を示す断面図である。

[図2C]図2Cは図2Bに続き、図1に示す複合型電子部品の製造方法を示す断面図である。

[図2D]図2Dは図2Cに続き、図1に示す複合型電子部品の製造方法を示す断面図である。

[図2E]図2Eは図2Dに続き、図1に示す複合型電子部品の製造方法を示す断面図である。

[図3]図3は本発明の実施の形態における複合型電子部品の他の構成を模式的に示す断面図である。

[図4]図4は従来の複合型電子部品を模式的に示す断面図である。

符号の説明

- [0007] 1 多層配線基板
2 電源端子電極
3 実装部品
4 電源端子

- 5 引き回し部分
- 6 回路電極
- 7 多層配線基板
 - 7A 上面
 - 7B 下面
- 8 実装部品
 - 8A 上面
 - 8B 下面
- 9 回路電極
- 10 第1電源端子電極
- 11 第2電源端子電極
- 12 外部接続用電源端子
- 13 絶縁体
 - 13A 上面
 - 13B 下面
 - 13C, 13D 側面
- 14, 16, 20, 25 ピア
- 15 電源パターン
- 17 誘電体
 - 17A 上面
 - 17B 下面
- 18 アース電極
- 19 外部接続用アース電極
- 21 内層アース電極
 - 21A 内層電極
- 22 大判基板
 - 22A 上面
 - 22B 下面

23 大判絶縁体

24 大判誘電体

31, 32 導電層

33 絶縁層

発明を実施するための最良の形態

- [0008] 図1は本発明の実施の形態における多層配線基板上に実装部品を搭載した複合型電子部品の構造を模式的に示す模式断面図である。多層配線基板(以下、基板)7は、樹脂絶縁層を積み重ねて構成されている。その層間には、コンデンサやインダクタなどを用いて高周波回路を構成するための回路電極(以下、電極)9が設けられている。また基板7の第1面である上面7Aには、第1、第2電源端子電極(以下、電極)10, 11が設けられ、第1面に対向する第2面である下面7Bには外部接続用電源端子(以下、端子)12が設けられている。電極10と端子12とは、ビア25によって接続されている。実装部品(以下、部品)8は電極10, 11から入力される制御電圧によりその動作が制御される。特に電極10, 11からの制御電圧の印加は同期制御される。
- [0009] この複合型電子部品は、同期制御を必要とする電極10, 11と、電源パターン15とを有する。絶縁体13は第1面である下面13Bにて、少なくとも部品8の上面8Aと電極10, 11とを覆っている。電源パターン15は、絶縁体13の下面13Bに対向する第2面である上面13Aに設けられ、電極10と第1ビアであるビア14を介して接続されている。一方、電極11は電源パターン15と第2ビアであるビア16を介して接続されている。部品8は下面8Bにて基板7の上面7Aに設けられた電極10, 11に接続されている。部品8の下面8Bは第1面、上面8Aは下面8Bに対向する第2面である。このような構成により、電極11は電極10と端子12とに接続されている。
- [0010] この構成によれば、端子12と電極10とを結ぶ経路から分岐され電極11に向かう引き回し部分である電源パターン15が、基板7の外部にある。そのため、基板7内での不要な結合が抑制されるので、基板7内に設けられる電極9のより高密度な配置が可能となる。そのため、複合型電子部品の小型化が可能になる。
- [0011] なお、電源パターン15が複合型電子部品の表面に露出していると、高周波を扱うこの複合型電子部品が取り付けられる周辺機器へ影響を与える可能性がある。そのた

め、誘電体17を第1面である下面17Bにて電源パターン15を覆うように設け、誘電体17の下面17Bに対向する第2面である上面17Aにアース電極(以下、電極)18を配置することが好ましい。

[0012] この構成により、複合型電子部品のシールド性が確保されるとともに、電源パターン15と電極18とが誘電体17を介して対応する。そのため、電源パターン15と電極18との間に接地容量が形成される。この接地容量が電極10, 11に接続されることで、部品8に対するノイズ低減用のバイパスコンデンサの役割を果たす。そのため電極10, 11の周辺に設ける必要のあるコンデンサ素子が不要になるので、複合型電子部品がより小型になる。

[0013] なお、電極18の接地経路は、以下のように構成することで容易に確保できる。すなわち、基板7の下面7Bに外部接続用のアース電極(以下、電極)19を設ける。また、基板7の内層部分に電極19とビア20で接続された内層アース電極(以下、電極)21を設ける。そして電極21の端部を基板7の側面7Cに露出させる。この露出部分にアース電極18を接続する。側面7Cは上面7Aと下面7Bとの間の面である。

[0014] なお、ビア14, 16は、通常、銀系などの導電性の高い電極ペーストを用いて形成される。ここでビア14, 16は制御電圧を印加する経路を形成する。そのため、導電性の高い電極ペーストに代えてビア14, 16の少なくとも一方に抵抗成分を付加すれば部品8に対するプルアップ抵抗やプルダウン抵抗をビア14, 16内に形成することができる。このようにすればより複合型電子部品が小型になる。また、ビア14, 16に抵抗成分を付加する場合、導電性の高い電極ペーストに抵抗成分を有するペーストを付加することで、自在に抵抗成分を付加することができる。あるいはビア14, 16を、抵抗成分を有するペーストで形成してもよい。このように抵抗成分を有するペーストは例えば、カーボン、LaB₆セラミックなどを用いて調製される。

[0015] 次にこのような構成を実現する製造方法について図2A～図2Eを用いて説明する。まず図2Aに示すように、複数の基板7を多数個取りするための大判基板22上に部品8を適宜実装する。なお、大判基板22の第1面である上面22Aには予め所定の位置に複数組の電極10, 11が形成されている。また上面22Aに対向する第2面である下面22Bには、電極19と端子12との組が複数、予め設けられている。電極19は、ビ

ア20を介して内層電極(以下、電極)21Aに接続され、端子12はビア25を介して電極10に接続されている。

- [0016] 次に図2Bに示すように、この上に予め部品8を収容する凹部を設けられ、電極10と接続する位置にビア14を設けられた大判絶縁体23を載置する。そして、その表面に適宜電源パターン15を選択的に形成する。そして図2Cに示すように大判誘電体24を載置し、それらを一体化する。大判絶縁体23には、例えば無機フィラーと熱硬化樹脂との混合物が用いられる。このような材料の典型的なものは、シリカフィラーとエポキシ樹脂とを混合したコンポジット材である。大判誘電体24は、たとえば大判絶縁体23と同様に無機フィラーと熱硬化樹脂で構成できるが、フィラーにはチタン酸バリウム等の比誘電率の高い材料が用いられる。
- [0017] 次に図2Dに示すように、大判基板22の下面22C側の一部分が残る状態でハーフダイシングする。このとき、電極21Aの端面を露出させて電極21を形成する。すなわち、電極21Aの端面にてハーフダイシングするか、あるいはハーフダイシングにより電極21Aの一部も同時に切断する。次にその表面に電極18を形成する。そして図2Eに示すように、個片に分割すれば本実施の形態における複数の複合型電子部品が得られる。
- [0018] なお、本実施の形態における複合型電子部品では、同期制御を必要とする電極10, 11に接続された部品8を基板7に1つだけ実装した構成を挙げて説明したが、本発明はこれに限定されるものではない。電極10, 11に加えさらに多数の電源端子電極を有するようなものであって同期制御を必要とする電源端子電極間を接続する場合においても同様の作用・効果を奏する。また、基板7に複数の部品8を実装し異なる実装部品において同期制御を必要とする電源端子電極間を接続する場合においても同様の作用・効果を奏する。
- [0019] なお上記説明では、電極10と電源パターン15とがビア14により接続され、電極11と電源パターン15とがビア16により接続されているが、これに限定されない。たとえば、図3に示すように、絶縁体13の上面13Aと下面13Bとの間に介在する第3面である側面13Cに電極10と電源パターン15とを接続する導電層31を設ける。そして側面13Cに対向する第4面である側面13Dに電極11と電源パターン15とを接続する

導電層32を設ける。このようにしてもよい。導電層31は第1導電層、導電層32は第2導電層である。この場合、導電層31, 32上に絶縁層33を設けて電極18と導電層31, 32とを絶縁する。またこの場合も、導電層31, 32を抵抗体で形成すれば図1の構成と同様の効果が得られる。

産業上の利用可能性

[0020] 本発明による複合型電子部品は小型であり、特に無線LAN用カードや携帯電話などのように小型化が望まれる無線通信機器用途において有用である。

請求の範囲

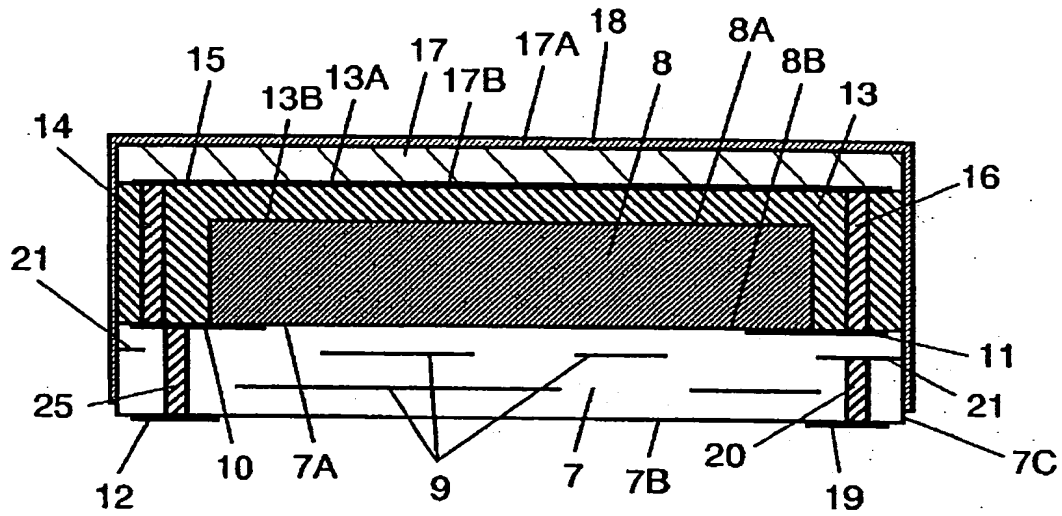
- [1] 多層配線基板と、
前記多層配線基板の第1面に設けられた第1電源端子電極と第2電源端子電極と、
、
前記多層配線基板の前記第1面に対向する第2面に設けられるとともに前記第1電源端子電極に接続された外部接続用電源電極と、
前記多層配線基板の前記第1面に実装されるとともに前記第1電源端子電極と第2電源端子電極とに、その第1面にて接続された実装部品と、
少なくとも前記実装部品の前記第1面に対向する第2面と前記第1電源端子電極と第2電源端子電極とを、その第1面にて覆った絶縁体と、
前記絶縁体の前記第1面と対向する第2面に設けられ、前記第1電源端子電極と前記第2電源端子電極とに接続された電源パターンと、を備えた、
複合型電子部品。
- [2] 前記電源パターンをその第1面にて覆った誘電体と、
前記誘電体の前記第1面と対向する第2面上に設けられたアース電極と、をさらに備えた、
請求項1記載の複合型電子部品。
- [3] 前記多層配線基板の内層部分に設けられるとともに、前記多層配線基板の前記第1面と前記第2面との間の第3面に露出した端部が前記アース電極に接続された内層アース電極と、
前記多層配線基板の前記第2面に設けられ、前記内層アース電極に接続された外部接続用アース電極と、をさらに備えた、
請求項2記載の複合型電子部品。
- [4] 前記第1電源端子電極と前記電源パターンとを接続し、前記絶縁体内に設けられた第1ビアと、
前記第2電源端子電極と前記電源パターンとを接続し、前記絶縁体内に設けられた第2ビアと、をさらに備えた、
請求項1記載の複合型電子部品。

- [5] 前記第1ビアと前記第2ビアの少なくとも一方が抵抗体である、
請求項4記載の複合型電子部品。
- [6] 前記第1電源端子電極と前記電源パターンとを接続し、前記絶縁体の前記第1面と
前記第2面との間の第3面に設けられた第1導電層と、
前記第2電源端子電極と前記電源パターンとを接続し、前記絶縁体の前記第3面に
対向する第4面に設けられた第2導電層と、をさらに備えた、
請求項1記載の複合型電子部品。
- [7] 前記第1導電層と前記第2導電層の少なくとも一方が抵抗体である、
請求項6記載の複合型電子部品。

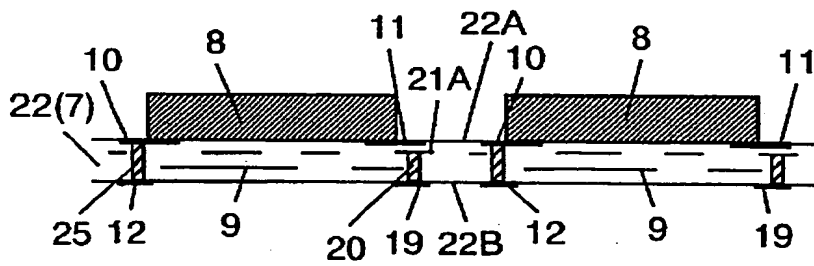
要 約 書

複合型電子部品は、多層配線基板と第1電源端子電極と第2電源端子電極と外部接続用電源電極と実装部品と絶縁体と電源パターンとを有する。第1電源端子電極と第2電源端子電極とは、多層配線基板の第1面に設けられている。外部接続用電源電極は、多層配線基板の第1面に対向する第2面に設けられるとともに第1電源端子電極に接続されている。実装部品は、多層配線基板の第1面に実装されとともに第1電源端子電極と第2電源端子電極とに、その第1面にて接続されている。絶縁体は、少なくとも実装部品の第1面に対向する第2面と第1電源端子電極と第2電源端子電極とを、その第1面にて覆っている。電源パターンは、絶縁体の第1面と対向する第2面に設けられ、第1電源端子電極と第2電源端子電極とに接続されている。

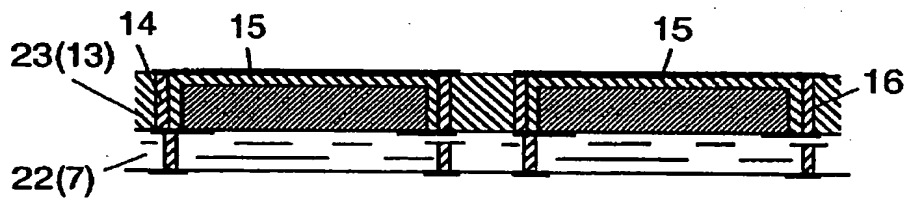
[図1]



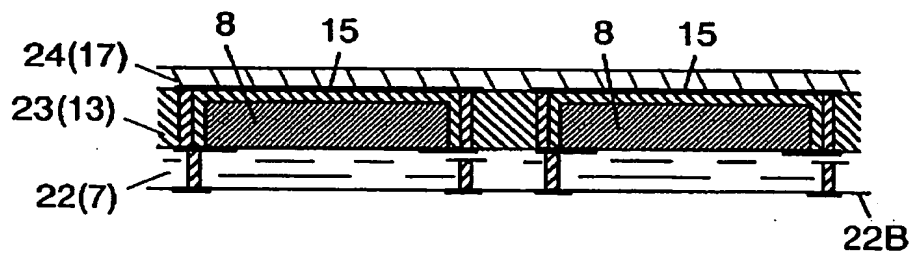
[図2A]



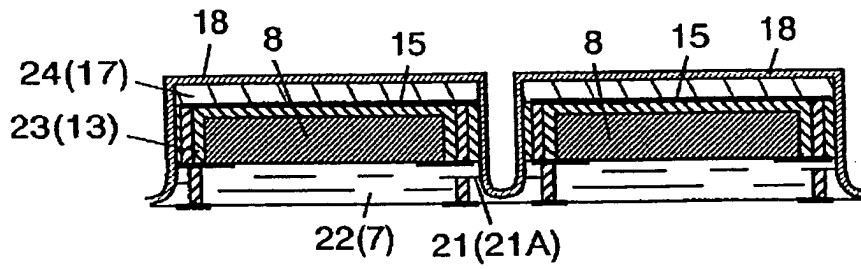
[図2B]



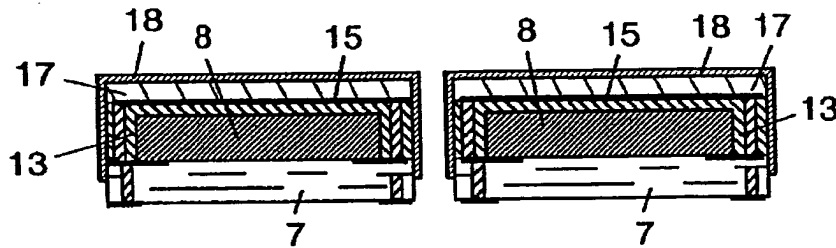
[図2C]



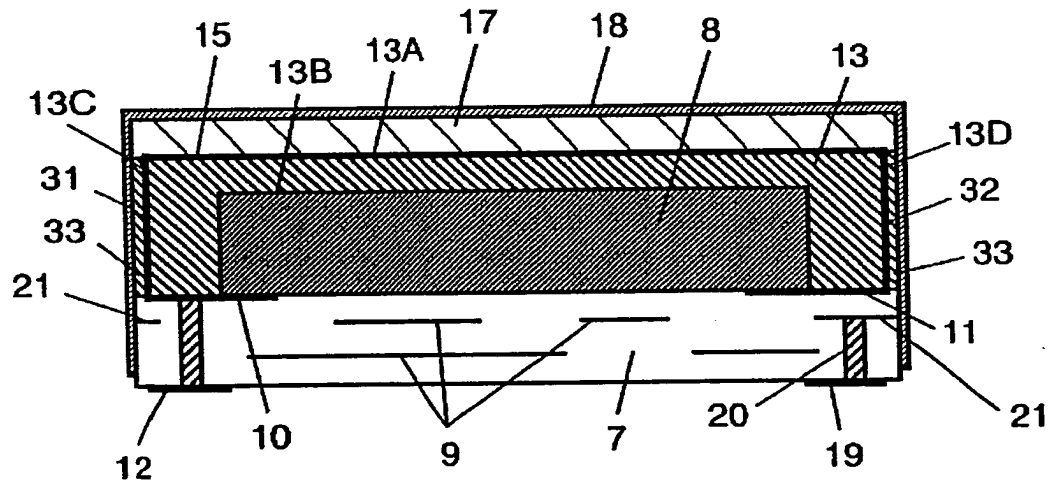
[図2D]



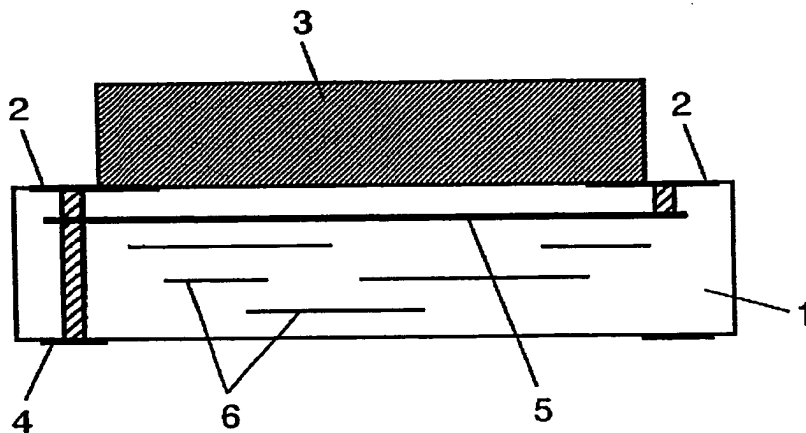
[図2E]



[図3]



[図4]



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)